



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05056024 A**(43) Date of publication of application: **05.03.93**

(51) Int. Cl.

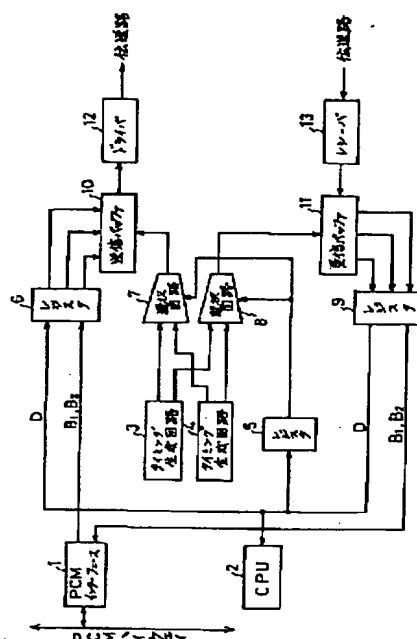
**H04L 5/14**(21) Application number: **03239012**(71) Applicant: **NEC ENG LTD**(22) Date of filing: **27.08.91**(72) Inventor: **SUDA KOJI**(54) **TIME DIVISION DIRECTION CONTROL  
TRANSMISSION SYSTEM**

## (57) Abstract:

**PURPOSE:** To increase the transmission enable range by deleting/ adding the information quantity.

**CONSTITUTION:** A transmission buffer 10 fetches information from a register 6 based on a timing signal from a selective circuit 7. When the signal is a timing signal from a timing generating circuit 3 at this time, transmission control information D and voice data information sets  $B_1$ ,  $B_2$  are all fetched by the register R 6. They are all sent to a driver 12 and then to a transmission line. A reception buffer 11 fetches information received by a receiver 13 based on a signal from a selective circuit 8 and is written in the register R 9. When the selective signal is a signal from the circuit 3, the information sets D,  $B_1$ ,  $B_2$  are all fetched by the buffer 11 and written in the R 9. Thus, the delay quantity to be permitted from the transmission line is increased to increase the transmission enable distance.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-56024

(43) 公開日 平成5年(1993)3月5日

(51) Int. Cl.<sup>5</sup>  
H04L 5/14

識別記号

庁内整理番号  
7190-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1

(全6頁)

(21) 出願番号 特願平3-239012

(22) 出願日 平成3年(1991)8月27日

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区西新橋3丁目20番4号

(72) 発明者 須田 耕司

東京都港区西新橋三丁目20番4号 日本電  
気エンジニアリング株式会社内

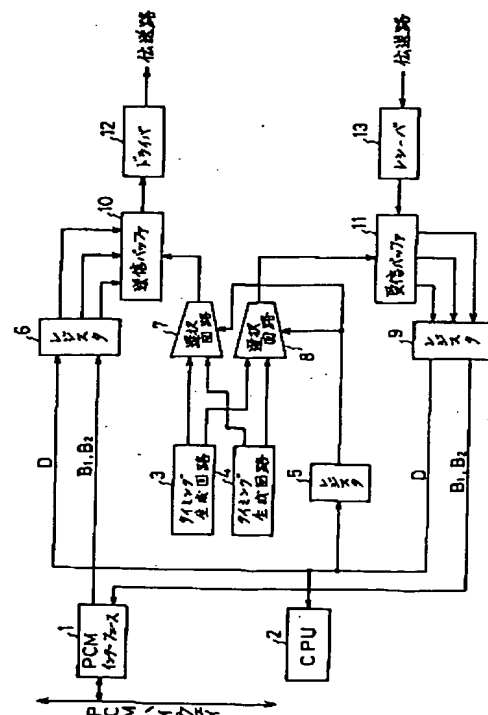
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 時分割方向制御伝送方式

(57) 【要約】

【目的】 一周期内の伝送情報量を可変できるようにすることで、使用しない情報を削除して伝送し、許される伝送遅延の量を増加させ、伝送可能距離を延長する。

【構成】 一周期内の伝送情報量が多いときの送受信タイミングを生成するタイミング生成回路3と、上記1周期内の伝送情報量が少ないときの送受信タイミングを生成するタイミング生成回路4と、これらタイミング生成回路の生成信号を選択する選択回路7、8と、この選択回路7で選択されたタイミング信号にしたがい情報を送信する送信バッファ10と、選択回路8で選択されたタイミング信号にしたがい受信した情報を取り込む受信バッファ11を備える構成にした。



## 【特許請求の範囲】

【請求項1】 一周期内の伝送情報量が多いときの送受信タイミングを生成する第1のタイミング生成回路と、前記一周期内の伝送情報量が少ないときの送受信タイミングを生成する第2のタイミング生成回路と、前記第1のタイミング生成回路の出力と前記第2のタイミング生成回路の出力をそれぞれ入力しこの第1または第2のタイミング生成回路のタイミング信号を選択する第1および第2の選択回路と、この第1の選択回路で選択されたタイミング信号にしたがい情報を送信する送信バッファと、前記第2の選択回路で選択されたタイミング信号にしたがい受信された情報を取り込む受信バッファを備えることを特徴とする時分割方向制御伝送方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は時分割方向制御伝送方式（ピンポン伝送方式）に係り、特に伝送する情報量を可変し、伝送可能な距離を変えることができる時分割方向制御伝送方式に関するものである。

## 【0002】

【従来の技術】 従来の時分割方向制御伝送方式（以下、ピンポン方式と呼称する）は、一定周期で送信を行い、送信終了後、次の送信周期までに到来する信号を受信する主動側（マスター）と、マスターの送信する一定周期の信号を受信し、受信終了後直ちに信号を送信する従属側（スレーブ）があり、その間で送受信される一周期内の情報量は従来のピンポン伝送方式における送受信タイミングを示すタイムチャートである図3の例のように固定され、各々一定の情報量を送信し、一定の情報量を受信し取り込んでいる。この図3において、 $t$ は伝送路遅延を示し、 $D$ は伝送制御情報、 $B_1$ 、 $B_2$ は音声やデータなどの情報を示す。

【0003】 そして、一般に、ピンポン伝送方式の伝送可能距離は、使用する伝送線路による信号レベルの減衰と伝送遅延時間の2つの要因により決められ、信号レベルが十分に高い場合は、伝送路の遅延量により伝送可能距離は一義的に決められる。すなわち、図3でマスターの受信信号が次の送信信号の送信時間にくい込むことのない伝送路遅延量に相当する伝送線路の長さが伝送可能距離となる。

## 【0004】

【発明が解決しようとする課題】 この従来のピンポン伝送方式では、一定の情報量を一周期内で送受信しなければならず、使用しない情報についても送信し、また、受信し取り込まなければならない。したがって、一周期の中で送受信信号自身が占める時間は変わらないため、これにともない許される伝送路の遅延量も変わらず、不要情報のために伝送可能距離も制限されるという課題があった。

## 【0005】

【課題を解決するための手段】 本発明の時分割方向制御伝送方式（ピンポン伝送方式）は、一周期内の伝送情報量が多いときの送受信タイミングを生成する第1のタイミング生成回路と、上記一周期内の伝送情報量が少ないときの送受信タイミングを生成する第2のタイミング生成回路と、上記第1のタイミング生成回路の出力と上記第2のタイミング生成回路の出力をそれぞれ入力しこの第1または第2のタイミング生成回路のタイミング信号を選択する第1および第2の選択回路と、この第1の選択回路で選択されたタイミング信号にしたがい情報を送信する送信バッファと、上記第2の選択回路で選択されたタイミング信号にしたがい受信された情報を取り込む受信バッファを備えるものである。

## 【0006】

【作用】 本発明においては、一周期の中の送受信信号の占める時間を増減させ、送受信信号の伝送路における許される遅延量を増減させる。すなわち、伝送可能距離を増減させる機能を有する。

## 【0007】

【実施例】 図1は本発明による時分割方向制御伝送方式（ピンポン伝送方式）の一実施例を示すブロック図で、このブロック図はマスター（主動側）、スレーブ（従属側）の両方を示している。なお、ピンポン伝送方式における受信信号の検出手段については、本発明と直接関係しないため省略し、レシーバ13に含まれるものとする。

【0008】 この図1において、1はPCMインターフェース、2はCPU（中央制御装置）、3は一周期内の伝送情報量が多いときの送受信タイミングを生成するタイミング生成回路、4は一周期内の伝送情報量が少ないときの送受信タイミングを生成するタイミング生成回路、5、6はレジスタ、7、8はタイミング生成回路3の出力とタイミング生成回路4の出力をそれぞれ入力としこのタイミング生成回路7または8のタイミング信号を選択する選択回路、9はレジスタ、10は選択回路7で選択されたタイミング信号にしたがい情報を送信する送信バッファ、11は選択回路8で選択されたタイミング信号にしたがい受信された情報を取り込む受信バッファ、12はドライバー、13はレシーバである。

【0009】 図2は図1に示す実施例の送受信タイミングを示したタイムチャートで、 $t$ は伝送路遅延を示し、 $D$ は伝送制御情報、 $B_1$ 、 $B_2$ は音声やデータなどの情報を示す。この図2において、主動側（マスター）および従属側（スレーブ）は共に点線で示した音声やデータなどの情報（ $B_2$ ）を削除して送信する。また、受信時は音声やデータなどの情報 $B_2$ は無いものとして、伝送制御情報 $D$ 、音声やデータなどの情報 $B_1$ のみを取り込む。したがって、許される伝送路遅延量 $t$ は音声やデータなどの情報 $B_2$ を有効として扱うときよりも大きくなる。すなわち、伝送可能距離が長くなる。

【0010】つぎに図1に示す実施例の動作を図2を参照して説明する。まず、PCMインターフェース1はPCMハイウェイとレジスタ6およびレジスタ9に接続されて音声やデータなどの情報B<sub>1</sub>、B<sub>2</sub>の抽出、挿入を行う。CPU（中央制御装置）2は伝送制御情報Dをレジスタ6へ書き込み、また、レジスタ9より伝送制御情報Dを読み出す。さらに、このCPU2は音声やデータなどの情報B<sub>2</sub>を有効とするか無効とするかのデータをレジスタ5へ書き込む。そして、タイミング生成回路3は伝送制御情報D、音声やデータなどの情報B<sub>1</sub>、B<sub>2</sub>の送受信を行うタイミング信号を生成する。タイミング生成回路4は伝送制御情報D、音声やデータなどの情報B<sub>1</sub>の送受信を行うタイミング信号を生成する。レジスタ5に書き込まれた内容によりタイミング生成回路3、タイミング生成回路4から生成されるタイミング信号が選択回路7、選択回路8にてそれぞれ選択されて送信バッファ10、受信バッファ11へそれぞれ送出される。

【0011】つぎに、送信バッファ10は選択回路7により選択されたタイミング信号によってレジスタ6からの情報を取り込む。このとき、選択されたタイミング信号がタイミング生成回路3からのタイミング信号のとき、レジスタ6から伝送制御情報D、音声やデータなどの情報B<sub>1</sub>、B<sub>2</sub>すべてを取り込み、タイミング生成回路4からのタイミング信号のとき、レジスタ6から伝送制御情報D、音声やデータなどの情報B<sub>1</sub>のみを取り込む。取り込んだ情報はドライバー12に送られて、伝送路へ送信される。

【0012】一方、受信バッファ11は選択回路8により選択されたタイミング信号によって伝送路からレシーバ13によって受信された情報を取り込み、レジスタ9へ書き込む。このとき選択された信号がタイミング生成回路3からのタイミング信号のとき、受信バッファ11は伝送制御情報D、音声やデータなどの情報B<sub>1</sub>、B<sub>2</sub>すべてを取り込みレジスタ9へ書き込み、タイミング生成回路4からのタイミング信号のとき受信バッファ11は伝送制御情報D、音声やデータなどの情報B<sub>1</sub>のみ取り込みレジスタ9へ書き込む。

【0013】なお、図2がマスター（主動側）の場合には、送信は定期的に行われ、送信後次の送信までの間受

信可能状態にあり、この間に信号を検出するとこれを受信する。スレーブ（従属側）の場合には、受信可能状態がまずあり、マスターからの信号を検出するとこれを受信し、受信が終了すると、送信を行う。

【0014】ここで、レジスタ5相当をもう一つ設けて、送信用、受信用として送信では音声やデータなどの情報B<sub>2</sub>を有効とし、受信は音声やデータなどの情報B<sub>2</sub>を無効としたり、また、その逆の設定を行うことも図1に示す実施例の構成から容易に拡張できる。ただし、いずれの場合もシステムとして予め音声やデータなどの情報B<sub>2</sub>を有効とするか無効とするかを決めて、マスター、スレーブ両モードの設定を行うものとする。さらに、音声やデータなどの情報B<sub>2</sub>を有効とするか無効とするかをCPU2による設定ではなく、機械的スイッチにより行うこともできる。

#### 【0015】

【発明の効果】以上説明したように本発明は、送受信する情報量を必要に応じて削除、追加できるようにしたので、特に削除したとき送受信信号自身が一周期の中で占める時間が減り、許される伝送路の遅延量がふえて、伝送可能距離が増加するという効果を有する。

#### 【図面の簡単な説明】

【図1】本発明による時分割方向制御伝送方式の一実施例を示すブロック図である。

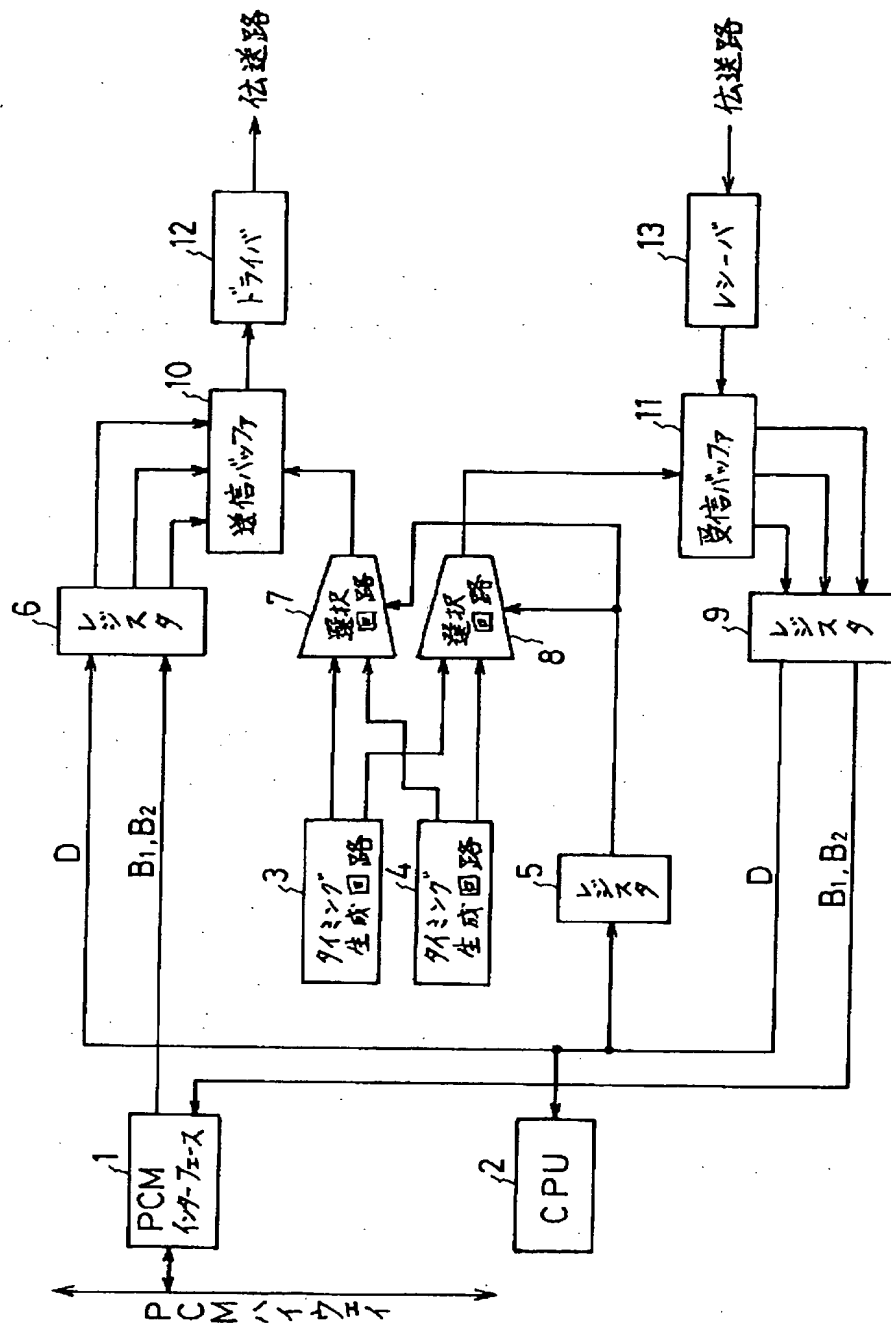
【図2】図1の送受信タイミングを示すタイムチャートである。

【図3】従来の時分割方向制御伝送方式における送受信タイミングを示すタイムチャートである。

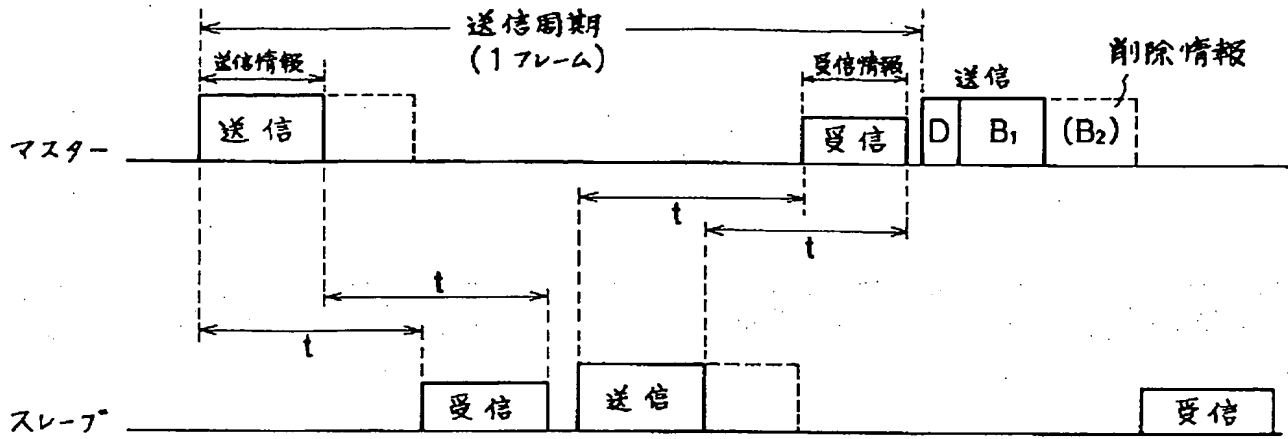
#### 【符号の説明】

- 1 PCMインターフェース
- 2 CPU
- 3, 4 タイミング生成回路
- 5, 6 レジスタ
- 7, 8 選択回路
- 9 レジスタ
- 10 送信バッファ
- 11 受信バッファ
- 12 ドライバー
- 13 レシーバ

【図1】



【図2】



【図3】

